

# PATENT ABSTRACTS OF JAPAN

9

(11)Publication number : 2001-100247

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

G02F 1/1365

G09F 9/30

(21)Application number : 11-273942

(71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY  
CORP

(22)Date of filing : 28.09.1999

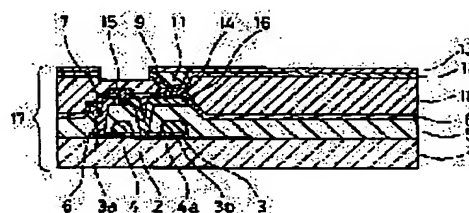
(72)Inventor : ONOZAWA KAZUTOSHI

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the alignment defect of liquid crystals.

SOLUTION: The upper part of a thin-film transistor 2, gate wiring 4 and source wiring 7 is provided with a first planarization layer 10 and the surface of the first planarization layer 10 is provided with a first pixel electrode 12. A second planarization layer 11 is disposed on a contact connecting a drain region and the first pixel electrode 12 and a second pixel electrode 13 is disposed on the first pixel electrode 12 and the second planarization layer 11.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The gate electrode equipped with two or more thin film transistors arranged in the shape of a matrix by which said thin film transistor was connected to gate wiring, It is the active matrix liquid crystal display which has the source field connected to source wiring, and the drain field connected to the pixel electrode. The 1st flattening layer is prepared in the upper part of said thin film transistor, said gate wiring, and said source wiring. The 1st pixel electrode is prepared on said 1st flattening layer, and the 2nd flattening layer is prepared on the contact which connects said drain field and said 1st pixel electrode. The active matrix liquid crystal display characterized by preparing the 2nd pixel electrode on said 1st pixel electrode and said 2nd flattening layer.

[Claim 2] The active matrix liquid crystal display according to claim 1 to which is further equipped with the connection electrode which connects said the 1st pixel electrode and said drain field, and said connection electrode and said 1st pixel electrode are connected through the contact hole which penetrates said 1st flattening layer.

[Claim 3] The active matrix liquid crystal display according to claim 2 with which said all or some of connection electrodes were prepared in the same layer as said source wiring.

[Claim 4] The active matrix liquid crystal display according to claim 2 further equipped with the silicide compound layer or metal nitride layer which connects said the 1st pixel electrode and said connection electrode.

[Claim 5] The active matrix liquid crystal display according to claim 4 with which it had consistency on the boundary of the said 1st or 2nd pixel electrode arranged in the shape of a matrix, the black matrix was formed in one, and said a part of black matrix was formed of said silicide compound layer or the metal nitride layer.

[Claim 6] The active matrix liquid crystal display according to claim 5 with which said black matrix serves as said source wiring.

[Claim 7] The active matrix liquid crystal display according to claim 1 of said 1st and 2nd pixel electrodes prepared on said 1st and 2nd flattening layers, and said gate wiring and said source wiring with which either was prepared crosswise [ wiring ] in piles at least.

[Claim 8] The active matrix liquid crystal display according to claim 1 with which said 1st and 2nd flattening layers consist of organic film.

[Claim 9] The active matrix liquid crystal display according to claim 8 with which said organic film consists of positive type photosensitivity acrylic resin.

[Claim 10] The active matrix liquid crystal display according to claim 1 which consists of resin with which decolorization processing optical [ said 1st and 2nd flattening layers ] or chemical was performed.

[Claim 11] While forming two or more thin film transistors in the shape of a matrix on a substrate The source wiring connected with gate wiring connected to the gate electrode of said thin film transistor to the source field of said thin film transistor is formed so that it may cross mutually. And the process which forms the contact connected to the drain field of said thin film transistor, After forming the organic film in the upper part of said thin film transistor, said gate wiring, said source wiring, and said contact with a spin coating method, while carrying out patterning of said organic film to it and forming

the 1st flattening layer in it. The process which forms the contact hole which is made to penetrate said 1st flattening layer and reaches said contact. The process which forms the 1st pixel electrode layer on said 1st flattening layer and in said contact hole. The process which carries out patterning of said organic film, and forms the 2nd flattening layer in said contact hole after forming the organic film with a spin coating method on said 1st pixel electrode layer. The manufacture approach of the active matrix liquid crystal display equipped with the process which forms the 2nd pixel electrode layer on said 1st pixel electrode layer and said 2nd flattening layer, and the process which carries out patterning of said 1st and 2nd pixel electrode layers to a predetermined configuration, and forms a pixel electrode.

[Claim 12] The manufacture approach of the active matrix liquid crystal display according to claim 11 which forms said 1st and 2nd pixel electrode layers so that the edge may lap either and crosswise [ wiring ] at least among said gate wiring and said source wiring.

[Claim 13] It is the manufacture approach of the active matrix liquid crystal display according to claim 11 which said organic film consists of positive type photosensitivity acrylic resin, and is formed when said the 1st and 2nd flattening layers and said contact holes expose and develop said positive type photosensitivity acrylic resin.

[Claim 14] The manufacture approach of the active matrix liquid crystal display according to claim 13 further equipped with the whole substrate surface or said process exposed all over a pixel electrode at least after exposing and developing said positive type photosensitivity acrylic resin.

[Claim 15] The manufacture approach of the active matrix liquid crystal display according to claim 14 which keeps the temperature of said positive type photosensitivity acrylic resin at 100 degrees C or less at least until said whole substrate surface or said process exposed all over a pixel electrode is completed after exposing and developing said positive type photosensitivity acrylic resin.

[Claim 16] The manufacture approach of the active matrix liquid crystal display according to claim 13 which forms said 1st and 2nd flattening layers when the concentration carries out paddle development of said positive type photosensitivity acrylic resin with a 0.1 to 0.5-mol% tetramethylammonium hydronalium oxide developer.

[Claim 17] The manufacture approach of an active matrix liquid crystal display according to claim 11 that the thickness of said 1st flattening layer is 1.0 micrometers or more.

[Claim 18] The manufacture approach of the active matrix liquid crystal display according to claim 11 further equipped with the process which applies hexamethyldisilazane to the part in which said organic film is formed before forming said organic film.

[Claim 19] The manufacture approach of the active matrix liquid crystal display according to claim 11 further equipped with the process which performs Ar reverse sputter processing by RF (RF) to the front face of the 1st flattening layer which consists of said organic film before forming said 1st pixel electrode layer.

[Claim 20] The manufacture approach of the active matrix liquid crystal display according to claim 19 performed after said Ar reverse sputter processing forms said contact hole in the 1st flattening layer which consists of said organic film.

[Claim 21] The manufacture approach of the active matrix liquid crystal display according to claim 19 further equipped with the process which heats said organic film at 110 degrees C - 240 degrees C before performing said Ar reverse sputter processing.

[Claim 22] The manufacture approach of an active matrix liquid crystal display according to claim 11 of removing said 1st said pixel inter-electrode flattening layer by the thickness of 5-100nm.

[Claim 23] The manufacture approach of an active matrix liquid crystal display according to claim 22 that plasma etching using the oxygen plasma performs removal of said 1st flattening layer.

[Claim 24] The manufacture approach of the active matrix liquid crystal display according to claim 11 further equipped with the process which exposes said contact outside before forming said organic film.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the flattening technique of a active-matrix substrate in which the pixel electrode and the thin film transistor (TFT) for switching were formed especially cumulatively, about an active matrix liquid crystal indicating equipment and its manufacture approach.

[0002]

[Description of the Prior Art] Drawing 7 is the outline sectional view showing the general structure of the active matrix liquid crystal display in the conventional technique. As shown in drawing 7 , two or more thin film transistors (TFT) 32 are formed in the front face of an insulating substrate 31 in the shape of a matrix. The thin film transistor 32 uses the semi-conductor thin film 44 by which patterning was carried out to the shape of an island as a component field. On the semi-conductor thin film 44, through much more gate dielectric film, the gate wiring 43 carries out patterning and is formed. Source wiring 34 is electrically connected to the source field of a thin film transistor 32 through the 1st interlayer insulation film 33. Moreover, the pixel electrode 36 is electrically connected to the drain field of a thin film transistor 32 through the 1st interlayer insulation film 33 and 2nd interlayer insulation film 35. Thus, the insulating substrate 31 of the bottom in which the thin film transistor 32 and the pixel electrode 36 were formed cumulatively is called "active-matrix substrate 45" below. The front face of the 2nd interlayer insulation film 35 and the pixel electrode 36 is covered with the orientation film 37. Predetermined spacing is set in the opposite location of the active-matrix substrate 45, and the opposite substrate 38 is arranged. The black matrix (protection-from-light layer) 39, a counterelectrode 40, and the orientation film 41 are formed in the internal surface of the opposite substrate 38. Between the active-matrix substrate 45 and the opposite substrate 38, the liquid crystal 42 by which orientation control was carried out with the orientation film 37 and 41 is poured in.

[0003] In the above-mentioned active matrix liquid crystal indicating equipment, if a picture signal is supplied through source wiring 34 where a selection signal is impressed to the gate wiring 43 of a thin film transistor 32, a predetermined signal level will be written in the pixel electrode 36, and the molecular arrangement of liquid crystal 42 will change with the electrical potential differences produced between the pixel electrode 36 and the counterelectrode 40. Thereby, image display is performed.

[0004]

[Problem(s) to be Solved by the Invention] In the conventional active matrix liquid crystal indicating equipment shown in drawing 7 , a thin film transistor 32, the gate wiring 43, source wiring 34, etc. are cumulatively formed in the active-matrix substrate 45, and the front face contains irregularity and a level difference with it. [ intense boom hoisting and ] [ countless ] For this reason, orientation control of liquid crystal 42 becomes difficult, and there is a problem that uniform image display cannot be obtained. The reverse tilt domain which turbulence and a pre tilt angle reversed [ the orientation of liquid crystal ] in the level difference part of the edge of the pixel electrode 36 especially occurs, and display grace is spoiled remarkably. In addition, with the conventional structure, there is a problem that it is influenced of the irregularity of the front face of the active-matrix substrate 45, the direction of the electric field impressed to liquid crystal 42 becomes uneven, and uniform permeability control becomes difficult.

Moreover, although an orientation condition changes and ON / off control is performed by the electric field by which liquid crystal 42 is impressed between the pixel electrode 36 and a counterelectrode 40, it will be influenced of the electric field of the source wiring 34 around the pixel electrode 36, or the longitudinal direction of gate wiring 43 grade, this will act in multiplication with turbulence of a pre tilt angle, and normal actuation will be disturbed.

[0005] While it is made in order to solve said technical problem in the conventional technique, and being able to aim at control of the poor orientation of liquid crystal, and improvement in the numerical aperture of a liquid crystal display, a production process can be simplified, and the adhesion of a flattening layer and a pixel electrode is also good, and, as for this invention, also makes electric connection between a source field and a pixel electrode at offering a good active matrix liquid crystal display and its manufacture approach.

[0006]

[Means for Solving the Problem] In order to attain said purpose, the configuration of the active matrix liquid crystal display concerning this invention The gate electrode equipped with two or more thin film transistors arranged in the shape of a matrix by which said thin film transistor was connected to gate wiring. It is the active matrix liquid crystal display which has the source field connected to source wiring, and the drain field connected to the pixel electrode. The 1st flattening layer is prepared in the upper part of said thin film transistor, said gate wiring, and said source wiring. It is characterized by preparing the 1st pixel electrode on said 1st flattening layer, preparing the 2nd flattening layer on the contact which connects said drain field and said 1st pixel electrode, and preparing the 2nd pixel electrode on said 1st pixel electrode and said 2nd flattening layer. According to the configuration of this active matrix liquid crystal display, flattening of the pixel electrode top can be carried out completely. Consequently, since the orientation of the liquid crystal on a pixel electrode is not in disorder with a level difference, liquid crystal can be controlled to stability and an image can be reproduced correctly.

[0007] Moreover, in the configuration of the active matrix liquid crystal display of said this invention, it is desirable that have further the connection electrode which connects said the 1st pixel electrode and said drain field, and said connection electrode and said 1st pixel electrode are connected through the contact hole which penetrates said 1st flattening layer. According to this desirable example, it can become possible to connect the 1st pixel electrode and drain field easily with a connection electrode, and electric resistance can be stabilized. Consequently, since the liquid crystal on a pixel electrode is electrically controllable to stability, an image is correctly reproducible. Moreover, it is desirable that said all or some of connection electrodes are prepared in the same layer as said source wiring in this case. Since a connection electrode can be formed in the same process as source wiring by using the same ingredient as source wiring for a connection electrode according to this desirable example, the formation process of a connection electrode can be skipped. Moreover, it is desirable to have further the silicide compound layer or metal nitride layer which connects said the 1st pixel electrode and said connection electrode in this case. According to this desirable example, the contact property of a pixel electrode improves. Consequently, since the liquid crystal on a pixel electrode is electrically controllable to stability, an image is correctly reproducible. In this case, it is desirable that have consistency further on the boundary of the said 1st or 2nd pixel electrode arranged in the shape of a matrix, a black matrix is formed in one, and said a part of black matrix is formed of said silicide compound layer or the metal nitride layer. According to this desirable example, the black matrix by the side of an opposite substrate is omissible. Moreover, the formation precision of a black matrix can be raised from a mechanical doubling precision of a active-matrix substrate and an opposite substrate to the precision of the lithography of a semi-conductor process. Furthermore, it is desirable that said black matrix serves as said source wiring. According to this desirable example, turbulence of orientation can be shaded by using the electrical conducting material which has protection-from-light nature as an ingredient of source wiring. Consequently, improvement in a numerical aperture can also be aimed at with improvement in display grace, without newly preparing a light-shielding film.

[0008] Moreover, in the configuration of the active matrix liquid crystal display of said this invention, it is desirable that either is prepared crosswise [ wiring ] in piles at least of said 1st and 2nd pixel electrodes prepared on said 1st and 2nd flattening layers, and said gate wiring and said source wiring. While becoming possible to raise a numerical aperture according to this desirable example, horizontal electric field can be prevented. Consequently, since the liquid crystal on a pixel electrode is controllable by vertical electric field to stability, it becomes possible to control the poor orientation of liquid crystal, and an image can be reproduced correctly.

[0009] Moreover, in the configuration of the active matrix liquid crystal display of said this invention, it is desirable that said 1st and 2nd flattening layers consist of organic film. Moreover, it is desirable that said organic film consists of positive type photosensitivity acrylic resin in this case. According to this desirable example, positive type photosensitivity acrylic resin can be applied with a spin coating method, patterning can be carried out by exposure and alkali development, and the flattening layer of the thickness of several micrometers can be obtained easily. Consequently, compared with the case where the inorganic film is used, productivity is good and can carry out flattening of the pixel electrode top completely by low cost.

[0010] Moreover, in the configuration of the active matrix liquid crystal display of said this invention, it is desirable to consist of resin with which decolorization processing optical [ said 1st and 2nd flattening layers ] or chemical was performed. According to this desirable example, an active matrix liquid crystal display with high transmission is realizable.

[0011] Moreover, the manufacture approach of the active matrix liquid crystal display concerning this invention While forming two or more thin film transistors in the shape of a matrix on a substrate The source wiring connected with gate wiring connected to the gate electrode of said thin film transistor to the source field of said thin film transistor is formed so that it may cross mutually. And the process which forms the contact connected to the drain field of said thin film transistor, After forming the organic film in the upper part of said thin film transistor, said gate wiring, said source wiring, and said contact with a spin coating method, while carrying out patterning of said organic film to it and forming the 1st flattening layer in it The process which forms the contact hole which is made to penetrate said 1st flattening layer and reaches said contact, The process which forms the 1st pixel electrode layer on said 1st flattening layer and in said contact hole, The process which carries out patterning of said organic film, and forms the 2nd flattening layer in said contact hole after forming the organic film with a spin coating method on said 1st pixel electrode layer, It is characterized by having the process which forms the 2nd pixel electrode layer on said 1st pixel electrode layer and said 2nd flattening layer, and the process which carries out patterning of said 1st and 2nd pixel electrode layers to a predetermined configuration, and forms a pixel electrode. According to the manufacture approach of this active matrix liquid crystal display, flattening with comparatively thick thickness becomes possible with the organic film, and flattening of the pixel electrode top can be carried out completely. Consequently, while being able to prevent the open circuit by the side of the drain of the pixel electrode which had happened in the level difference section by the lower layer wiring etc., the poor orientation by the level difference can also be prevented. Moreover, since between source wiring and pixel electrodes is insulated and the defective picture element by source wiring, the pixel electrode, and electric leak of a between decreases extremely, while improvement in a manufacture yield is attained, reduction of a manufacturing cost is attained.

[0012] Moreover, in the manufacture approach of the active matrix liquid crystal display of said this invention, it is desirable to form said 1st and 2nd pixel electrode layers so that the edge may lap either and crosswise [ wiring ] at least among said gate wiring and said source wiring.

[0013] Moreover, in the manufacture approach of the active matrix liquid crystal indicating equipment of said this invention, said organic film consists of positive type photosensitivity acrylic resin, and, as for said the 1st and 2nd flattening layers and said contact holes, it is desirable to be formed by exposing and developing said positive type photosensitivity acrylic resin. According to this desirable example,

membrane formation by CVD required in order to form a flattening layer using the inorganic film etc., the pattern formation process by the photoresist, etching, resist exfoliation, and a washing process are not needed, but it becomes possible to form a flattening layer only according to spreading of photosensitive acrylic resin, exposure, and a development process. Therefore, shortening of a production process, simplification, and reduction of a manufacturing cost can be aimed at. Moreover, in this case, after exposing and developing said positive type photosensitivity acrylic resin, it is desirable to have further at least the whole substrate surface or said process exposed all over a pixel electrode. According to this desirable example, the unnecessary sensitization agent contained in photosensitive acrylic resin can be made to be able to react, and the rarefaction can be carried out. Therefore, it becomes possible to realize a highly transparent flattening layer. In this case, at least, after exposing and developing said positive type photosensitivity acrylic resin, it is still more desirable to keep the temperature of said positive type photosensitivity acrylic resin at 100 degrees C or less until said whole substrate surface or said process exposed all over a pixel electrode is completed. According to this desirable example, it can be stabilized and the unnecessary sensitization agent contained in photosensitive acrylic resin can be made to react. Therefore, it becomes it is highly transparent and possible to realize the flattening layer by which permeability was stabilized. Moreover, in this case, when that concentration carries out paddle development of said positive type photosensitivity acrylic resin with a 0.1 to 0.5-mol% tetramethylammonium hydronalium oxide developer, it is desirable to form said 1st and 2nd flattening layers. According to this desirable example, by exposing according to a desired pattern to photosensitive acrylic resin, and performing a development by the alkaline solution and tetramethylammonium hydronalium oxide (it being written as "TMAH" below.), the exposed part is etched with an alkaline solution and a contact hole etc. is formed. However, when the concentration of a TMAH developer is more than 0.5mol%, the decrement of the thickness of the photosensitive acrylic resin of the part which is not exposed is large, and control of thickness becomes difficult. When the concentration of a TMAH developer is 2.4-mol % and high concentration, the deterioration object of photosensitive acrylic resin remains in the part of NUKI of development as a residue, and poor contact arises. Moreover, when the concentration of a TMAH developer is less than [ 0.1mol% ], it circulates through a developer, and since fluctuation of concentration is large, with the developer of the method used repeatedly, control of concentration becomes difficult. On the other hand, if the concentration of a TMAH developer is set up to 0.1-0.5-mol%, the above problems are solved, it is stabilized and a flattening layer can be formed.

[0014] Moreover, in the manufacture approach of the active matrix liquid crystal display of said this invention, it is desirable that the thickness of said 1st flattening layer is 1.0 micrometers or more. According to this desirable example, even if it makes a pixel electrode and 1 micrometers or more of each wiring (gate wiring, source wiring) overlap, the capacity between each wiring and a pixel electrode becomes sufficiently small, and a time constant also becomes small. Therefore, the effect of the cross talk which a capacity component gives to a display is reduced, and a better display is obtained.

[0015] Moreover, in the manufacture approach of the active matrix liquid crystal display of said this invention, before forming said organic film, it is desirable to have further the process which applies hexamethyldisilazane to the part in which said organic film is formed. According to this desirable example, adhesion with the part in which the organic film and the organic film are formed improves. Therefore, generating of exfoliation of the organic film which can be set like a subsequent diffusion process and a subsequent erector can be prevented.

[0016] Moreover, in the manufacture approach of the active matrix liquid crystal display of said this invention, before forming said 1st pixel electrode layer, it is desirable to have further the process which performs Ar reverse spatter processing by RF (RF) to the front face of the 1st flattening layer which consists of said organic film. According to this desirable example, the adhesion between the 1st flattening layer and the 1st pixel electrode layer formed on it improves. Therefore, a more stable device is realized to the processing in a liquid crystal panel assembly process, and a yield also improves. Moreover, it is desirable that it is performed in this case after said Ar reverse spatter processing forms



said contact hole in the 1st flattening layer which consists of said organic film. According to this desirable example, the residue of the contact hole section which connects the 1st pixel electrode, drain field, or connection electrode is removable. Therefore, a faulty connection's generating in the contact hole section can be controlled. Moreover, in this case, before performing said Ar reverse sputter processing, it is desirable to have further the process which heats said organic film at 110 degrees C - 240 degrees C. According to this desirable example, the organic film can be stiffened by crosslinking reaction. Therefore, generating of exfoliation of the organic film which can be set like a subsequent diffusion process and a subsequent erector can be prevented. Moreover, degradation of the organic film by processes, such as formation of a pixel electrode, can be controlled.

[0017] Moreover, in the manufacture approach of the active matrix liquid crystal display of said this invention, it is desirable to remove said 1st said pixel inter-electrode flattening layer by the thickness of 5-100nm. According to this desirable example, a pixel inter-electrode insulation can be made perfect. Therefore, defects, such as leak between pixels, can be controlled and a yield and the engine performance can be stabilized. Moreover, it is desirable that plasma etching using the oxygen plasma performs removal of said 1st flattening layer in this case. According to this desirable example, even if it is the case where the front face has deteriorated and carbonized, it becomes possible to remove the 1st pixel inter-electrode flattening layer, for example. Therefore, regardless of the process conditions of a last process, defects, such as leak between pixels, can be controlled and a yield and the engine performance can be stabilized.

[0018] Moreover, in the manufacture approach of the active matrix liquid crystal display of said this invention, before forming said organic film, it is desirable to have further the process which exposes said contact outside. According to this desirable example, before forming the organic film, etching of SiO<sub>2</sub> film, the SiN film, etc. and the damage to the organic film in the resist removal process for it can be lost by removing inorganic substances, such as SiO<sub>2</sub> film, SiN film, etc. on the contact terminal for connecting with the exterior, and exposing a contact terminal.

[0019]

[Embodiment of the Invention] Hereafter, this invention is explained still more concretely using the gestalt of operation. In addition, each drawing used for the following explanation is not passed for it to be roughly shown in extent which can understand this invention, and be, and this invention is not limited only to the example shown in each drawing.

[0020] The outline sectional view and drawing 2 which show the fundamental configuration of a active-matrix substrate [ in / in drawing 1 / the gestalt of 1 operation of this invention ] are the outline sectional view showing the fundamental configuration of the active matrix liquid crystal display in the gestalt of 1 operation of this invention.

[0021] In drawing 1, the active-matrix substrate 17 is constituted using the insulating substrate 1 which consists of quartz glass etc., and where two or more thin film transistors (it is written as "TFT" below.) 2 are arranged in the shape of a matrix, it is cumulatively formed in the front face, respectively. TFT2 uses the semi-conductor thin film 3 by which patterning was carried out to the shape of an island as a component field. That is, source field 3a and drain field 3b are prepared in the semi-conductor thin film 3. The semi-conductor thin film 3 consists for example, of polish recon. In addition, the ingredient of the semi-conductor thin film 3 is not limited to polish recon, and can also use single crystal silicon and amorphous silicon. On the semi-conductor thin film 3, through much more gate-dielectric-film 4a, the gate wiring 4 carries out patterning and is formed. This gate wiring 4 consists for example, of polish recon. Here, some gate wiring 4 is constituted and the part which lapped with the semi-conductor thin film 3 serves as a "gate electrode." On the insulating substrate 1, where TFT2 is covered, the 1st interlayer insulation film 5 is formed. The 1st interlayer insulation film 5 consists of a layered product of the glass with which nitrogen was doped, and boron and the glass with which phosphorus was doped. Source wiring 7 is electrically connected to source field 3a of TFT2 through the 1st contact hole 6 established in the 1st interlayer insulation film 5. Source wiring 7 consists of aluminum and constitutes



picture signal Rhine and others. On the other hand, the connection electrode 16 is electrically connected to drain field 3b of TFT2 through the 1st contact hole 6. Thus, the connection electrode 16 is formed in the layer as source wiring 7 with the same part. For this reason, if the same ingredient as source wiring 7 is used for the connection electrode 16, since the connection electrode 16 can be formed in the same process as source wiring 7, the formation process of the connection electrode 16 can be skipped. In addition, you may make it prepare all of the connection electrodes 16 in the same layer as source wiring 7.

[0022] On the 1st interlayer insulation film 5, the 2nd interlayer insulation film 8 is formed so that source wiring 7 may be covered. The 2nd interlayer insulation film 8 consists of silicon oxide grown up for example, by the plasma-CVD method. The 2nd contact hole 9 is established in the 2nd interlayer insulation film 8 on the connection electrode 16, and WSi which is a silicide compound further is formed in it as a barrier metal 14. Moreover, WSi is formed also as a protection-from-light layer 15 of TFT2 on the 2nd interlayer insulation film 8. In addition, as an ingredient of the barrier metal 14 and the protection-from-light layer 15, it is not necessarily limited to silicide compounds, such as WSi, and a metal nitride etc. can also be used.

[0023] Furthermore, on the 2nd interlayer insulation film 8, the 1st flattening layer 10 which consists of an organic film ingredient is formed, and the 2nd contact hole 9 is established in this 1st flattening layer 10. And on the 1st flattening layer 10, the 1st pixel electrode 12 and the 2nd pixel electrode 13 carry out patterning, and are formed, and the 1st pixel electrode 12 is electrically connected to drain field 3b of TFT2 through the barrier metal 14 and the connection electrode 16. Moreover, in the 2nd contact hole 9 between the 1st pixel electrode 12 and the 2nd pixel electrode 13, the 2nd flattening layer 11 which consists of an organic film ingredient intervenes. As an organic film ingredient of the 1st and 2nd flattening layers 10 and 11, although acrylic resin and polyimide resin can be mentioned, for example, suitable acrylic resin to have predetermined viscosity and bury irregularity in the gestalt of this operation, is used. Each 1st pixel electrode 12 arranged in the shape of a matrix is electrically connected to drain field 3b of TFT2 which corresponds through the 2nd contact hole 9 established in the 2nd interlayer insulation film 8 and the 1st flattening layer 10.

[0024] As shown in drawing 2, the opposite substrate 21 which sets predetermined spacing in the opposite location of the active-matrix substrate 17, and consists of quartz glass etc. is arranged. A counterelectrode 23 and the orientation film 24 are formed in the internal surface of the opposite substrate 21 in order. Moreover, the orientation film 25 is formed also in the front face of the active-matrix substrate 17. And liquid crystal 42 is poured in between the active-matrix substrate 17 and the opposite substrate 21, and, thereby, the active matrix liquid crystal display is constituted. Orientation control of liquid crystal 22 is performed by the orientation film 24 and 25 of a pair, for example, twist pneumatic mode is obtained.

[0025] In this active matrix liquid crystal display, since unlike the conventional structure there is no contact hole into a pixel electrode, the orientation film 25 has a very flat field and there is no level difference section, uniform rubbing processing can be performed. Therefore, uniform orientation control is attained over the whole screen. Moreover, since the amount of concave heights do not exist at all in a pixel electrode, drive control is carried out by the electric field of the perpendicularly it acts between a counterelectrode 23 and the 2nd pixel electrode 13, and the effect of lateral electric field of liquid crystal 22 is small. Consequently, degradation of the display grace by the reverse tilt domain which had become a problem conventionally is effectively improvable. Moreover, about the boundary part of the pixel electrode which adjoins mutually, it can cover partially at least by using source wiring 7 as a black matrix. However, about TFT2 part, this protection-from-light structure is not employable. Then, in order to cover TFT2 part alternatively, the protection-from-light layer 15 which consists of a silicide compound or a metal nitride is used.

[0026] Next, the manufacture approach of the active-matrix substrate shown in drawing 1 is explained, referring to drawing 3 - drawing 5.

[0027] first, the front face of the insulating substrate 1 which consists of quartz glass etc. in the process A of drawing 3 -- reduced pressure CVD (LPCVD) -- an amorphous silicon is formed by law. Subsequently, solid phase growth is carried out, and an amorphous silicon is large-drop-path-ized, and is formed into polish recon. Subsequently, patterning of this polish recon is carried out to the shape of an island, and a component field is formed. Thereby, the semi-conductor thin film 3 which consists of polish recon is obtained. Subsequently, the front face of the semi-conductor thin film 3 which consists of polish recon is oxidized thermally (whenever [stoving temperature]: 1100 degrees C, heating time: 23 minutes). Thereby, gate oxide (gate dielectric film) 4a which consists of SiO<sub>2</sub> is obtained. In addition, patterning of the semi-conductor thin film 3 which consists of polish recon is carried out to coincidence, and it enables it to form retention volume in it.

[0028] next, the process B of drawing 3 -- setting -- a gate oxide 4a top -- LPCVD -- polish recon is formed by law. And after attaining low resistance-ization of this polish recon by the phosphorus dope, patterning is carried out to a predetermined configuration. Thereby, the gate wiring 4 and retention volume wiring 4b are obtained. Subsequently, in order that TFT2 of N channel mold may consider as LDD (lightly doped drain) structure It is 1x10<sup>13</sup>/cm<sup>2</sup> of doses to the semi-conductor thin film 3 which consists of polish recon by using gate wiring 4 as a mask by self-alignment. Pour in phosphorus ion and a LDD field is masked further. It is 4x10<sup>15</sup>/cm<sup>2</sup> of doses to the semi-conductor thin film 3. Phosphorus ion is poured in and source field 3a and drain field 3b are prepared in the semi-conductor thin film 3.

[0029] Of the above process, TFT2 of two or more N channel molds is formed in the shape of a matrix on an insulating substrate 1. In addition, boron ion is poured in when forming TFT of a P channel mold.

[0030] next, the 1st interlayer insulation film 5 which consists of a layered product of the glass with which nitrogen was doped by the front face of an insulating substrate 1, and boron and the glass with which phosphorus was doped in the process C of drawing 3 -- ordinary pressure CVD (APCVD) -- it deposits by law. Subsequently, after carrying out pattern formation of the 1st contact hole 6 to this 1st interlayer insulation film 5, aluminum (aluminum) is extensively formed by sputtering. And patterning of this is carried out to a predetermined configuration, and it is processed into the source wiring 7 electrically connected to source field 3a of TFT2. The connection electrode 16 is also formed in coincidence at this time. Here, source wiring 7 is made to intersect the gate wiring 4 mutually, and is formed.

[0031] Next, in the process D of drawing 3, on the 1st interlayer insulation film 5, silicon oxide is deposited by the plasma-CVD method, the 2nd interlayer insulation film 8 is formed, and the source wiring 7 which consists of aluminum (aluminum) is covered completely. Furthermore, the 2nd contact hole 9 is formed in the 2nd interlayer insulation film 8 on the connection electrode 16.

[0032] Next, in the process E of drawing 3, WSi is extensively formed by sputtering. And patterning of this is carried out to a predetermined configuration, and the protection-from-light layer 15 to the barrier metal 14 and TFT2 to the connection electrode 16 is formed.

[0033] Next, in the process F of drawing 4, the liquefied positive type photosensitivity acrylic resin (organic film) which has predetermined viscosity (viscosity: 30cp) on the 2nd interlayer insulation film 8 is applied with a spin coating method, and flattening of the front face of the 2nd interlayer insulation film 8 is carried out. Subsequently, positive type photosensitivity acrylic resin is exposed using i line stepper, concentration develops negatives by the paddle developing-negatives method using the 0.1-0.5-mol tetramethylammonium hydronalium oxide developer which is %, and the 2nd contact hole 9 is formed. Drain field 3b of TFT2 or the connection electrode 16 is exposed to the pars basilaris ossis occipitalis of this 2nd contact hole 9. subsequently, the whole substrate surface -- or the whole effective pixel electrode field surface is exposed using ultraviolet rays at least, and the rarefaction of the positive type photosensitivity acrylic resin is carried out. Subsequently, it heat-treats and positive type photosensitivity acrylic resin is stiffened. As a heating method, either a hot plate method or a clean oven method may be used. In the case of a hot plate method, whenever [stoving temperature] is 220 degrees C, heating time is 10 minutes, in the case of a clean oven method, whenever [stoving

temperature ] is 220 degrees C, and heating time is 60 minutes. Thereby, the 1st flattening layer 10 is obtained. As for the thickness of the 1st flattening layer 10, it is desirable that it is 1.0 micrometers or more. If the thickness of the 1st flattening layer 10 is set as 1.0 micrometers or more, even if it makes a pixel electrode and 1 micrometers or more of each wiring (gate wiring, source wiring) overlap, the capacity between each wiring and a pixel electrode will become sufficiently small, and a time constant will also become small. Therefore, the effect of the cross talk which a capacity component gives to a display is reduced, and a better display is obtained. However, if the thickness of the 1st flattening layer 10 is set to 5.0 micrometers or more, the homogeneity of thickness is bad, and since it becomes easy to generate nonuniformity, it is not desirable.

[0034] In addition, the rarefaction of positive type photosensitivity acrylic resin can be carried out to stability by keeping the temperature of positive type photosensitivity acrylic resin at 100 degrees C or less until the whole substrate surface or the process which exposes the whole effective pixel electrode field surface using ultraviolet rays at least is completed, after exposing and developing positive type photosensitivity acrylic resin.

[0035] Moreover, before applying positive type photosensitivity acrylic resin (organic film) on the 2nd interlayer insulation film 8, the adhesion of the 2nd interlayer insulation film 8 and positive type photosensitivity acrylic resin (organic film) can be raised by applying hexamethyldisilazane to the front face of the 2nd interlayer insulation film 8.

[0036] If a flattening layer is constituted from positive type photosensitivity acrylic resin, since a thin film can be formed like the gestalt of this operation using a spin coating method, the thin film of the thickness of several micrometers can be formed easily. And since exposure and alkali development can perform patterning, it is advantageous also in respect of productivity. that by which the positive type photosensitivity acrylic resin used here is colored before spreading -- it is -- after patterning -- complete exposure processing -- \*\*\*\*\* -- the rarefaction can be decolorized and carried out by things. It not only can perform such decolorization processing optically, but it can carry out chemically.

[0037] Next, in the process G of drawing 4 , on the 1st flattening layer 10, the transparence electric conduction film is formed and the 1st pixel electrode 12 is formed by sputtering. In the gestalt of this operation, ITO is used as an ingredient of the transparence electric conduction film. The interior of the 2nd contact hole 9 is also filled up with ITO as an ingredient of the transparence electric conduction film, and the 1st pixel electrode 12 is electrically connected to drain field 3b of TFT2 through the barrier metal 14 and the connection electrode 16.

[0038] In addition, if Ar reverse spatter processing by RF (RF) performs surface treatment of the 1st flattening layer 10 before forming the transparence electric conduction film and forming the 1st pixel electrode 12 by sputtering While the adhesion between the 1st pixel electrode 12 which consists of the 1st flattening layer 10 and transparence electric conduction film formed on it can improve and being able to realize a more stable device to the processing in an assembly process, a yield also improves.

[0039] Moreover, if positive type photosensitivity acrylic resin (organic film) is heated at 110 degrees C - 240 degrees C before performing Ar reverse spatter processing, positive type photosensitivity acrylic resin (organic film) can be stiffened by crosslinking reaction. Therefore, generating of exfoliation of the positive type photosensitivity acrylic resin (organic film) which can be set like a subsequent diffusion process and a subsequent erector can be prevented. Moreover, degradation of the positive type photosensitivity acrylic resin (organic film) by processes, such as formation of a pixel electrode, can also be controlled.

[0040] Next, in the process H of drawing 4 , the liquefied positive type photosensitivity acrylic resin which has predetermined viscosity on the 1st pixel electrode 12 is applied with a spin coating method. Subsequently, positive type photosensitivity acrylic resin is exposed using i line stepper, is developed using the paddle developing-negatives method, and a garbage is removed. Thereby, the interior of the 2nd contact hole 9 is filled up with positive type photosensitivity acrylic resin. subsequently, the whole substrate surface -- or the whole effective pixel electrode field surface is exposed using ultraviolet rays

at least, and the rarefaction of the positive type photosensitivity acrylic resin is carried out.

Subsequently, it heat-treats and positive type photosensitivity acrylic resin is stiffened. Thereby, the 2nd flattening layer 11 is obtained.

[0041] In addition, it is desirable to keep the temperature of positive type photosensitivity acrylic resin at 100 degrees C or less until the whole substrate surface or the process which exposes the whole effective pixel electrode field surface using ultraviolet rays at least is completed also in this case, after exposing and developing positive type photosensitivity acrylic resin.

[0042] Moreover, also in this case, before applying positive type photosensitivity acrylic resin (organic film) on the 1st pixel electrode 12, it is desirable to apply hexamethyldisilazane to the front face of the 1st pixel electrode 12.

[0043] Next, in the process I of drawing 5 , on the 2nd flattening layer 11 and the 1st pixel electrode 12, the transparence electric conduction film is formed and the 2nd pixel electrode 13 is formed by sputtering. In the gestalt of this operation, ITO is used as an ingredient of the transparence electric conduction film.

[0044] Next, in the process J of drawing 5 , patterning of the ITO which is the ingredient of the 1st and 2nd pixel electrodes 12 and 13 is carried out to a predetermined configuration, and it considers as a pixel electrode.

[0045] By the way, when Ar reverse spatter processing by RF performs surface treatment of the 1st flattening layer 10, or when forming the transparence electric conduction film and forming the 1st and 2nd pixel electrodes 12 and 13 by sputtering, insulation may fall [ a flattening layer ] in response to a damage.

[0046] For this reason, plasma etching using the oxygen plasma removes the 1st pixel inter-electrode flattening layer 10 by which patterning was carried out to the predetermined configuration in the process J of drawing 5 in the process K of drawing 5 at the last by the thickness of 5-100nm. The conditions of oxygen plasma etching in this case are 300W, 800mTorr, 400sccm, and 50 degrees C.

[0047] According to the above process, the active-matrix substrate with which flattening of the pixel electrode top was carried out completely is obtained.

[0048] Hereafter, the improvement means of the numerical aperture in this invention is explained, referring to drawing 6 . Drawing 6 is the typical sectional view showing the black matrix structure in the gestalt of 1 operation of this invention.

[0049] First, in order to make an understanding easy, the conventional black matrix structure is explained, referring to drawing 8 . As shown in drawing 8 , two or more pixel electrodes 52 by the predetermined array pitch are formed in the internal surface of the active-matrix substrate 51 in the shape of a matrix. Source wiring 53 is formed between the adjoining pixel electrodes 52, and the predetermined gap is prepared between the pixel electrode 52 and source wiring 53. Therefore, the dimension of the pixel electrode 52 is small compared with an array pitch. Moreover, on both sides of liquid crystal 54, the opposite substrate 55 is arranged in the opposite location of the active-matrix substrate 51. The counterelectrode 56 is formed in the internal surface of the opposite substrate 55. Furthermore, pattern formation of the black matrix 57 is carried out to the internal surface of the opposite substrate 55 so that it may have consistency between the pixel electrodes 52 which adjoin mutually. In order to secure the alignment margin of the active-matrix substrate 51 and the opposite substrate 55, the black matrix 57 was seen superficially, it has lapped with the edge of the pixel electrode 52, and the dimension of opening surrounded by the black matrix 57 is small compared with the dimension of the pixel electrode 52. The leakage of light is prevented by the black matrix 57 by the above configuration, and the improvement of contrast is achieved by it. However, compared with an array pitch, the dimension of the pixel electrode 52 is small, and the dimension of opening which specifies effective pixel area is still smaller so that I may be understood from drawing 8 . Therefore, the numerical aperture has stopped at the comparatively small value.

[0050] On the other hand, in the black matrix structure of this invention shown in drawing 6 , the

flattening layer 68 is formed so that the surface irregularity of the active-matrix substrate 61 may be buried, and on it, the pixel electrode 62 is further formed by the predetermined array pitch at the shape of a matrix. Moreover, pattern formation of the source wiring 63 is carried out to the active-matrix substrate 61 so that it may have consistency with the boundary section of the pixel electrode 62 which adjoins mutually. Therefore, this source wiring 63 will function as a black matrix. Source wiring 63 was seen superficially and has lapped with the edge of the pixel electrode 62 crosswise [ wiring ] about 1 micrometer. Therefore, the dimension of the pixel electrode 62 is short a little compared with the array pitch. On the other hand, since it is not necessary to form a black matrix in the opposite substrate 65 arranged on both sides of liquid crystal 64 in the opposite location of the active-matrix substrate 61, the dimension of opening seen from the opposite substrate 65 side becomes what deducted the part which source wiring 63 overlapped from the pixel dimension, and becomes small a little compared with an array pitch. Therefore, compared with the conventional black matrix structure, the considerable extent improvement of the numerical aperture can be carried out.

[0051] In addition, although source wiring 63 and a black matrix are made to serve a double purpose, it is not necessarily limited to this configuration and the film of the metal system for protection from light may be arranged on the 2nd interlayer insulation film here along with the boundary section of the pixel electrode 62 which adjoins mutually. However, about the part of TFT, the protection-from-light structure which used only source wiring 63 is not employable. Then, in the structure shown in drawing 1 , in order to cover TFT2 alternatively, the protection-from-light layer 15 which consists of a silicide compound layer or a metal nitride layer is formed on the 2nd interlayer insulation film 8.

[0052] Moreover, it sees superficially, and although the case where source wiring 63 has lapped crosswise [ of the pixel electrode 62 / the edge and crosswise / wiring ] is mentioned as an example and explained, if either is prepared the pixel electrode 62 and crosswise [ wiring ] in piles at least among gate wiring and source wiring, the same effectiveness will be acquired here.

[0053]

[Effect of the Invention] As explained above, according to this invention, flattening of the pixel electrode top can be carried out completely. Consequently, since the orientation of the liquid crystal on a pixel electrode is not in disorder with a level difference, liquid crystal can be controlled to stability and an image can be reproduced correctly. Moreover, since the orientation layer prepared so that a matrix-like pixel electrode may be covered is not influenced of the level difference section, it becomes possible to reduce a reverse tilt domain. Moreover, since the part which rose around the pixel electrode does not exist, it cannot be influenced of lateral electric field and ON/OFF control of liquid crystal can be carried out to stability. Furthermore, since a black matrix pattern can be formed in one on a active-matrix substrate using a flattening layer, while it becomes unnecessary to take the alignment error of lamination into consideration and being able to ease the alignment precision of the substrate of a vertical pair, the effective display of a pixel electrode can be expanded compared with the former, and an improvement of a numerical aperture can be aimed at.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

- 2.\*\*\*\* shows the word which can not be translated.  
3.In the drawings, any words are not translated.
- 

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The outline sectional view showing the fundamental configuration of the active-matrix substrate in the gestalt of 1 operation of this invention

[Drawing 2] The outline sectional view showing the fundamental configuration of the active matrix liquid crystal display in the gestalt of 1 operation of this invention

[Drawing 3] Process drawing showing the manufacture approach of the active-matrix substrate in the gestalt of 1 operation of this invention

[Drawing 4] Process drawing showing the manufacture approach of the active-matrix substrate in the gestalt of 1 operation of this invention

[Drawing 5] Process drawing showing the manufacture approach of the active-matrix substrate in the gestalt of 1 operation of this invention

[Drawing 6] The typical sectional view showing the black matrix structure in the gestalt of 1 operation of this invention

[Drawing 7] The outline sectional view showing the general structure of the active matrix liquid crystal display in the conventional technique

[Drawing 8] The typical sectional view showing the black matrix structure in the conventional technique

### [Description of Notations]

- 1 Insulating Substrate
  - 2 Thin Film Transistor (TFT)
  - 3 Semi-conductor Thin Film
  - 4 Gate Wiring
  - 5 1st Interlayer Insulation Film
  - 6 1st Contact Hole
  - 7 Source Wiring
  - 8 2nd Interlayer Insulation Film
  - 9 2nd Contact Hole
  - 10 1st Flattening Layer
  - 11 2nd Flattening Layer
  - 12 1st Pixel Electrode
  - 13 2nd Pixel Electrode
  - 14 Barrier Metal
  - 15 Protection-from-Light Layer
  - 16 Connection Electrode
  - 17 Active-Matrix Substrate
- 

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-100247

(P2001-100247A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト\* (参考)

G 0 2 F 1/1365

G 0 9 F 9/30

3 3 8

2 H 0 9 2

G 0 9 F 9/30

3 3 8

G 0 2 F 1/136

5 0 0

5 C 0 9 4

審査請求 未請求 請求項の数24 O L (全 12 頁)

(21) 出願番号

特願平11-273942

(22) 出願日

平成11年9月28日 (1999.9.28)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 小野澤 和利

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外1名)

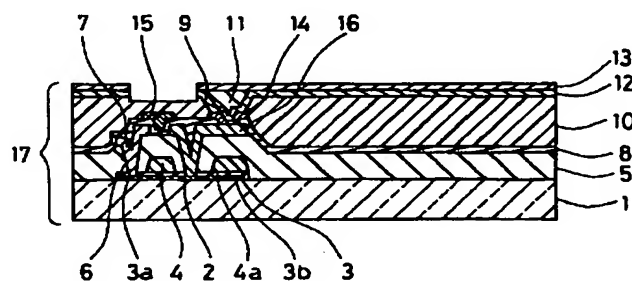
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置及びその製造方法

(57) 【要約】

【課題】 液晶の配向不良を抑制する。

【解決手段】 薄膜トランジスタ2、ゲート配線4及びソース配線7の上部に第1の平坦化層10を設け、第1の平坦化層10上に第1の画素電極12を設け、ドレイン領域と第1の画素電極12とを接続するコンタクト上に第2の平坦化層11を設け、第1の画素電極12及び第2の平坦化層11上に第2の画素電極13を設ける。





(2)

## 【特許請求の範囲】

【請求項1】 マトリクス状に配列された複数の薄膜トランジスタを備え、前記薄膜トランジスタが、ゲート配線に接続されたゲート電極と、ソース配線に接続されたソース領域と、画素電極に接続されたドレイン領域とを有するアクティブマトリクス型液晶表示装置であって、前記薄膜トランジスタ、前記ゲート配線及び前記ソース配線の上に第1の平坦化層が設けられ、前記第1の平坦化層上に第1の画素電極が設けられ、前記ドレイン領域と前記第1の画素電極とを接続するコンタクト上に第2の平坦化層が設けられ、前記第1の画素電極及び前記第2の平坦化層上に第2の画素電極が設けられていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記第1の画素電極と前記ドレイン領域とを接続する接続電極をさらに備え、前記接続電極と前記第1の画素電極とが、前記第1の平坦化層を貫通するコンタクトホールを介して接続されている請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記接続電極の全部又は一部が前記ソース配線と同じ層に設けられた請求項2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記第1の画素電極と前記接続電極とを接続するシリサイド化合物層又は金属窒化物層をさらに備えた請求項2に記載のアクティブマトリクス型液晶表示装置。

【請求項5】 マトリクス状に配列された前記第1又は第2の画素電極の境界に整合してブラックマトリクスが一体的に形成され、前記ブラックマトリクスの一部が前記シリサイド化合物層又は金属窒化物層によって形成された請求項4に記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記ブラックマトリクスが前記ソース配線を兼ねる請求項5に記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記第1及び第2の平坦化層の上に設けられた前記第1及び第2の画素電極と、前記ゲート配線、前記ソース配線のうちの少なくともいずれかが配線幅方向に重ねて設けられた請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項8】 前記第1及び第2の平坦化層が有機膜からなる請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項9】 前記有機膜がポジ型感光性アクリル樹脂からなる請求項8に記載のアクティブマトリクス型液晶表示装置。

【請求項10】 前記第1及び第2の平坦化層が光学的又は化学的な脱色処理が施された樹脂からなる請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項11】 基板上に、複数の薄膜トランジスタをマトリクス状に形成すると共に、前記薄膜トランジスタ

のゲート電極に接続されるゲート配線と前記薄膜トランジスタのソース領域に接続されるソース配線を互いに交差するように形成し、かつ、前記薄膜トランジスタのドレイン領域に接続されるコンタクトを形成する工程と、前記薄膜トランジスタ、前記ゲート配線、前記ソース配線及び前記コンタクトの上部に、スピンコーティング法によって有機膜を形成した後、前記有機膜をパターニングして第1の平坦化層を形成すると共に、前記第1の平坦化層を貫通させて前記コンタクトに達するコンタクトホールを形成する工程と、前記第1の平坦化層上及び前記コンタクトホール内に第1の画素電極層を形成する工程と、前記第1の画素電極層の上に、スピンコーティング法によって有機膜を形成した後、前記有機膜をパターニングして前記コンタクトホール内に第2の平坦化層を形成する工程と、前記第1の画素電極層及び前記第2の平坦化層の上に第2の画素電極層を形成する工程と、前記第1及び第2の画素電極層を所定の形状にパターニングして画素電極を形成する工程とを備えたアクティブマトリクス型液晶表示装置の製造方法。

【請求項12】 前記第1及び第2の画素電極層を、その端部が前記ゲート配線、前記ソース配線のうち少なくともいずれかと配線幅方向に重なるように形成する請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項13】 前記有機膜がポジ型感光性アクリル樹脂からなり、前記第1及び第2の平坦化層と前記コンタクトホールは、前記ポジ型感光性アクリル樹脂を露光及び現像することによって形成される請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項14】 前記ポジ型感光性アクリル樹脂を露光及び現像した後、基板全面又は少なくとも前記画素電極全面に露光を行う工程をさらに備えた請求項13に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項15】 前記ポジ型感光性アクリル樹脂を露光及び現像した後、前記基板全面又は少なくとも前記画素電極全面に露光を行う工程が完了するまで、前記ポジ型感光性アクリル樹脂の温度を100℃以下に保つ請求項14に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項16】 前記ポジ型感光性アクリル樹脂を、その濃度が0.1から0.5mol%のテトラメチルアンモニウムヒドロキシド現像液によってパドル現像することにより、前記第1及び第2の平坦化層を形成する請求項13に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項17】 前記第1の平坦化層の厚さが1.0μm以上である請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項18】 前記有機膜を形成する前に、前記有機膜が形成される部位にヘキサメチルジシラザンを塗布す

(3)

3

る工程をさらに備えた請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項19】 前記第1の画素電極層を形成する前に、前記有機膜からなる第1の平坦化層の表面に対してRF（高周波）によるAr逆スパッタ処理を行う工程をさらに備えた請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項20】 前記Ar逆スパッタ処理が、前記有機膜からなる第1の平坦化層に前記コンタクトホールを形成した後に行われる請求項19に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項21】 前記Ar逆スパッタ処理を行う前に、前記有機膜を110℃～240℃に加熱する工程をさらに備えた請求項19に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項22】 前記画素電極間の前記第1の平坦化層を5～100nmの厚み分だけ除去する請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項23】 前記第1の平坦化層の除去を、酸素プラズマを用いたプラズマエッチングによって行う請求項22に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項24】 前記有機膜を形成する前に、前記コンタクトを外部に露出させる工程をさらに備えた請求項11に記載のアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置及びその製造方法に関し、特に、画素電極とスイッチング用の薄膜トランジスタ（TFT）とが集積的に形成されたアクティブマトリクス基板の平坦化技術に関する。

【0002】

【従来の技術】図7は従来技術におけるアクティブマトリクス型液晶表示装置の一般的な構造を示す概略断面図である。図7に示すように、絶縁基板31の表面には複数の薄膜トランジスタ（TFT）32がマトリクス状に形成されている。薄膜トランジスタ32は島状にパターンニングされた半導体薄膜44を素子領域として利用している。半導体薄膜44の上には一層のゲート絶縁膜を介してゲート配線43がパターンニングして形成されている。薄膜トランジスタ32のソース領域には第1の層間絶縁膜33を介してソース配線34が電気的に接続されている。また、薄膜トランジスタ32のドレイン領域には第1の層間絶縁膜33及び第2の層間絶縁膜35を介して画素電極36が電気的に接続されている。このように薄膜トランジスタ32及び画素電極36が集積的に形成された下側の絶縁基板31を、以下『アクティブマトリクス基板45』という。第2の層間絶縁膜35及び画

4

素電極36の表面は配向膜37によって被覆されている。アクティブマトリクス基板45の対向位置には所定の間隔をおいて対向基板38が配置されている。対向基板38の内表面にはブラックマトリクス（遮光層）39、対向電極40及び配向膜41が形成されている。アクティブマトリクス基板45と対向基板38との間には、配向膜37、41によって配向制御された液晶42が注入されている。

【0003】上記アクティブマトリクス型液晶表示装置において、薄膜トランジスタ32のゲート配線43に選択信号を印加した状態で、ソース配線34を介して画像信号が供給されると、画素電極36に所定の信号電圧が書き込まれ、画素電極36と対向電極40との間に生じた電圧によって液晶42の分子配列が変化する。これにより、画像表示が行なわれる。

【0004】

【発明が解決しようとする課題】図7に示した従来のアクティブマトリクス型液晶表示装置においては、アクティブマトリクス基板45に薄膜トランジスタ32、ゲート配線43、ソース配線34などが集積的に形成されており、その表面は起伏が激しく無数の凹凸や段差を含んでいる。このため、液晶42の配向制御が困難となり、均一な画像表示を得ることができないという問題がある。特に、画素電極36の端部の段差部分においては液晶の配向が乱れ、ブレチルト角が逆転したりバースチルトドメインが発生し、表示品位が著しく損なわれる。加えて、従来の構造では、アクティブマトリクス基板45の表面の凹凸の影響を受け、液晶42に印加される電界の方向が不均一となり、一様な透過率制御が困難になるという問題がある。また、液晶42は画素電極36と対向電極40との間に印加される電界によって配向状態が変化し、オン/オフ制御が行なわれるが、画素電極36の周囲のソース配線34やゲート配線43等の横方向の電界の影響を受け、これがブレチルト角の乱れと相乗的に作用して、正常な動作が乱されてしまう。

【0005】本発明は、従来技術における前記課題を解決するためになされたものであり、液晶の配向不良の抑制と液晶表示の開口率の向上を図ることができると共に、製造工程を簡略化することができ、かつ、平坦化層と画素電極との密着性も良く、ソース領域と画素電極との電気的な接続も良好なアクティブマトリクス型液晶表示装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明に係るアクティブマトリクス型液晶表示装置の構成は、マトリクス状に配列された複数の薄膜トランジスタを備え、前記薄膜トランジスタが、ゲート配線に接続されたゲート電極と、ソース配線に接続されたソース領域と、画素電極に接続されたドレイン領域とを有するアクティブマトリクス型液晶表示装置であって、前記

50

(4)

5

薄膜トランジスタ、前記ゲート配線及び前記ソース配線の上部に第1の平坦化層が設けられ、前記第1の平坦化層上に第1の画素電極が設けられ、前記ドレイン領域と前記第1の画素電極とを接続するコンタクト上に第2の平坦化層が設けられ、前記第1の画素電極及び前記第2の平坦化層上に第2の画素電極が設けられていることを特徴とする。このアクティブマトリクス型液晶表示装置の構成によれば、画素電極上を完全に平坦化することができる。その結果、画素電極上の液晶の配向が段差によって乱れることはないので、液晶を安定に制御することができ、画像を正確に再生することができる。

【0007】また、前記本発明のアクティブマトリクス型液晶表示装置の構成においては、前記第1の画素電極と前記ドレイン領域とを接続する接続電極をさらに備え、前記接続電極と前記第1の画素電極とが、前記第1の平坦化層を貫通するコンタクトホールを介して接続されているのが好ましい。この好ましい例によれば、第1の画素電極とドレイン領域とを、接続電極によって容易に接続することが可能となり、電気抵抗を安定させることができる。その結果、画素電極上の液晶を電氣的に安定に制御することができるので、画像を正確に再生することができる。また、この場合には、前記接続電極の全部又は一部が前記ソース配線と同じ層に設けられているのが好ましい。この好ましい例によれば、接続電極にソース配線と同一の材料を用いることにより、ソース配線と同一のプロセスで接続電極を形成することができるので、接続電極の形成工程を省略することができる。また、この場合には、前記第1の画素電極と前記接続電極とを接続するシリサイド化合物層又は金属窒化物層をさらに備えているのが好ましい。この好ましい例によれば、画素電極のコンタクト特性が向上する。その結果、画素電極上の液晶を電氣的に安定に制御することができるので、画像を正確に再生することができる。この場合にはさらに、マトリクス状に配列された前記第1又は第2の画素電極の境界に整合してブラックマトリクスが一体的に形成され、前記ブラックマトリクスの一部が前記シリサイド化合物層又は金属窒化物層によって形成されているのが好ましい。この好ましい例によれば、対向基板側のブラックマトリクスを省略することができる。また、ブラックマトリクスの形成精度を、アクティブマトリクス基板と対向基板の機械的な合わせ精度から半導体プロセスのリソグラフィの精度まで向上させることができる。さらには、前記ブラックマトリクスが前記ソース配線を兼ねるのが好ましい。この好ましい例によれば、ソース配線の材料として遮光性を有する導電材料を用いることにより、配向の乱れを遮光することができる。その結果、新たに遮光膜を設けることなく、表示品位の向上と共に開口率の向上をも図ることができる。

【0008】また、前記本発明のアクティブマトリクス型液晶表示装置の構成においては、前記第1及び第2の

6

平坦化層の上に設けられた前記第1及び第2の画素電極と、前記ゲート配線、前記ソース配線のうちの少なくともいずれかが配線幅方向に重ねて設けられているのが好ましい。この好ましい例によれば、開口率を向上させることが可能になると共に、横電界を防止することができる。その結果、画素電極上の液晶を垂直方向の電界によって安定に制御することができるので、液晶の配向不良を抑制することが可能となり、画像を正確に再生することができる。

【0009】また、前記本発明のアクティブマトリクス型液晶表示装置の構成においては、前記第1及び第2の平坦化層が有機膜からなるのが好ましい。また、この場合には、前記有機膜がポジ型感光性アクリル樹脂からなるのが好ましい。この好ましい例によれば、ポジ型感光性アクリル樹脂をスピンコーティング法によって塗布し、露光及びアルカリ現像によってパターンニングして、数 $\mu\text{m}$ という膜厚の平坦化層を容易に得ることができる。その結果、無機膜を用いた場合に比べて生産性が良く、低コストで画素電極上を完全に平坦化することができる。

【0010】また、前記本発明のアクティブマトリクス型液晶表示装置の構成においては、前記第1及び第2の平坦化層が光学的又は化学的な脱色処理が施された樹脂からなるのが好ましい。この好ましい例によれば、透過率の高いアクティブマトリクス型液晶表示装置を実現することができる。

【0011】また、本発明に係るアクティブマトリクス型液晶表示装置の製造方法は、基板上に、複数の薄膜トランジスタをマトリクス状に形成すると共に、前記薄膜トランジスタのゲート電極に接続されるゲート配線と前記薄膜トランジスタのソース領域に接続されるソース配線を互いに交差するように形成し、かつ、前記薄膜トランジスタのドレイン領域に接続されるコンタクトを形成する工程と、前記薄膜トランジスタ、前記ゲート配線、前記ソース配線及び前記コンタクトの上部に、スピンコーティング法によって有機膜を形成した後、前記有機膜をパターンニングして第1の平坦化層を形成すると共に、前記第1の平坦化層を貫通させて前記コンタクトに達するコンタクトホールを形成する工程と、前記第1の平坦化層上及び前記コンタクトホール内に第1の画素電極層を形成する工程と、前記第1の画素電極層の上に、スピンコーティング法によって有機膜を形成した後、前記有機膜をパターンニングして前記コンタクトホール内に第2の平坦化層を形成する工程と、前記第1の画素電極層及び前記第2の平坦化層の上に第2の画素電極層を形成する工程と、前記第1及び第2の画素電極層を所定の形状にパターンニングして画素電極を形成する工程とを備えたことを特徴とする。このアクティブマトリクス型液晶表示装置の製造方法によれば、有機膜によって比較的膜厚の厚い平坦化が可能となり、かつ、画素電極上を完全に

(5)

7

平坦化することができる。その結果、その下層の配線などによる段差部で起こっていた画素電極のドレイン側における断線などを防止することができると共に、段差による配向不良を防止することもできる。また、ソース配線と画素電極との間が絶縁され、ソース配線と画素電極と間の電氣的リークによる欠陥絵素が極めて少なくなるので、製造歩留の向上が可能になると共に、製造コストの低減が可能になる。

【0012】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記第1及び第2の画素電極層を、その端部が前記ゲート配線、前記ソース配線のうち少なくともいずれかと配線幅方向に重なるように形成するのが好ましい。

【0013】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記有機膜がポジ型感光性アクリル樹脂からなり、前記第1及び第2の平坦化層と前記コンタクトホールは、前記ポジ型感光性アクリル樹脂を露光及び現像することによって形成されるのが好ましい。この好ましい例によれば、無機膜を用いて平坦化層を形成するために必要なCVD等による成膜、フォトリソストによるパターン形成工程、エッチング、レジスト剥離、洗浄工程を必要とせず、感光性アクリル樹脂の塗布、露光及び現像工程のみによって平坦化層を形成することが可能となる。従って、製造工程の短縮化、簡素化及び製造コストの低減を図ることができる。また、この場合には、前記ポジ型感光性アクリル樹脂を露光及び現像した後、基板全面又は少なくとも前記画素電極全面に露光を行う工程をさらに備えているのが好ましい。この好ましい例によれば、感光性アクリル樹脂に含有されている不要な感光剤を反応させて、透明化することができる。従って、透明度の高い平坦化層を実現することが可能となる。この場合にはさらに、前記ポジ型感光性アクリル樹脂を露光及び現像した後、前記基板全面又は少なくとも前記画素電極全面に露光を行う工程が完了するまで、前記ポジ型感光性アクリル樹脂の温度を100℃以下に保つのが好ましい。この好ましい例によれば、感光性アクリル樹脂に含有されている不要な感光剤を安定して反応させることができる。従って、透明度が高く、透過率が安定した平坦化層を実現することが可能となる。また、この場合には、前記ポジ型感光性アクリル樹脂を、その濃度が0.1から0.5mol%のテトラメチルアンモニウムヒドロキシド現像液によってパドル現像することにより、前記第1及び第2の平坦化層を形成するのが好ましい。この好ましい例によれば、感光性アクリル樹脂に対して所望のパターンに従って露光を行い、アルカリ性の溶液、テトラメチルアンモニウムヒドロキシド（以下『TMAH』と略記する。）によって現像処理を行うことにより、露光された部分がアルカリ性の溶液によってエッチングされ、コンタクトホール等が形成される。しかし、TMAH現像液

8

の濃度が0.5mol%以上である場合には、露光されていない部分の感光性アクリル樹脂の膜厚の減少量が大きく、膜厚の制御が困難となる。TMAH現像液の濃度が2.4mol%と高濃度の場合には、現像のヌキの部分に感光性アクリル樹脂の変質物が残さとして残り、コンタクト不良が生じる。また、TMAH現像液の濃度が0.1mol%以下の場合、現像液を循環して繰り返し使用する方式の現像装置では濃度の変動が大きいために濃度の制御が困難となる。一方、TMAH現像液の濃度を0.1～0.5mol%に設定すれば、上記のような問題が解消され、安定して平坦化層を形成することができる。

【0014】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記第1の平坦化層の厚さが1.0μm以上であるのが好ましい。この好ましい例によれば、画素電極と各配線（ゲート配線、ソース配線）とを1μm以上オーバーラップさせても、各配線と画素電極との間の容量は十分小さくなり、時定数も小さくなる。従って、容量成分が表示に与えるクロストークなどの影響が低減され、より良好な表示が得られる。

【0015】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記有機膜を形成する前に、前記有機膜が形成される部位にヘキサメチルジシラザンを塗布する工程をさらに備えているのが好ましい。この好ましい例によれば、有機膜と有機膜が形成される部位との密着性が向上する。従って、その後の拡散工程及び組立工程における有機膜の剥離の発生を防止することができる。

【0016】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記第1の画素電極層を形成する前に、前記有機膜からなる第1の平坦化層の表面に対してRF（高周波）によるAr逆スパッタ処理を行う工程をさらに備えているのが好ましい。この好ましい例によれば、第1の平坦化層とその上に成膜される第1の画素電極層との間の密着性が向上する。従って、液晶パネル組立プロセス中の処理に対してより安定なデバイスが実現され、歩留も向上する。また、この場合には、前記Ar逆スパッタ処理が、前記有機膜からなる第1の平坦化層に前記コンタクトホールを形成した後に行われるのが好ましい。この好ましい例によれば、第1の画素電極とドレイン領域又は接続電極とを接続するコンタクトホール部の残留物を除去することができる。従って、コンタクトホール部における接続不良の発生を抑制することができる。また、この場合には、前記Ar逆スパッタ処理を行う前に、前記有機膜を110℃～240℃に加熱する工程をさらに備えているのが好ましい。この好ましい例によれば、架橋反応によって有機膜を硬化させることができる。従って、その後の拡散工程及び組立工程における有機膜の剥離の発生を防止する

(6)

9

ことができる。また、画素電極の形成等のプロセスによる有機膜の劣化を抑制することができる。

【0017】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記画素電極間の前記第1の平坦化層を5～100nmの厚み分だけ除去するのが好ましい。この好ましい例によれば、画素電極間の絶縁を完全なものにすることができる。従って、画素間リークなどの不良を抑制し、歩留及び性能を安定化させることができる。また、この場合には、前記第1の平坦化層の除去を、酸素プラズマを用いたプラズマエッチングによって行うのが好ましい。この好ましい例によれば、例えば、表面が変質して炭化している場合であっても画素電極間の第1の平坦化層を除去することが可能となる。従って、前工程のプロセス条件に関係なく、画素間リークなどの不良を抑制し、歩留及び性能を安定化させることができる。

【0018】また、前記本発明のアクティブマトリクス型液晶表示装置の製造方法においては、前記有機膜を形成する前に、前記コンタクトを外部に露出させる工程をさらに備えているのが好ましい。この好ましい例によれば、有機膜を形成する前に、外部と接続するためのコンタクト端子上の $\text{SiO}_2$ 膜や $\text{SiN}$ 膜などの無機物を除去し、コンタクト端子を露出させることにより、 $\text{SiO}_2$ 膜や $\text{SiN}$ 膜などのエッチングや、そのためのレジスト除去工程における有機膜へのダメージを無くすることができる。

【0019】

【発明の実施の形態】以下、実施の形態を用いて本発明をさらに具体的に説明する。尚、以下の説明に用いる各図は本発明を理解することができる程度に概略的に示してあるにすぎず、本発明は各図に示す例のみに限定されるものではない。

【0020】図1は本発明の一実施の形態におけるアクティブマトリクス基板の基本的な構成を示す概略断面図、図2は本発明の一実施の形態におけるアクティブマトリクス型液晶表示装置の基本的な構成を示す概略断面図である。

【0021】図1において、アクティブマトリクス基板17は石英ガラス等からなる絶縁基板1を用いて構成されており、その表面には複数の薄膜トランジスタ（以下『TFT』と略記する。）2がマトリクス状に配列された状態でそれぞれ集積的に形成されている。TFT2は島状にパターンニングされた半導体薄膜3を素子領域として利用している。すなわち、半導体薄膜3内にソース領域3aとドレイン領域3bが設けられている。半導体薄膜3は、例えばポリシリコンからなる。尚、半導体薄膜3の材料はポリシリコンに限定されるものではなく、単結晶シリコンや非晶質シリコンを用いることもできる。半導体薄膜3の上には一層のゲート絶縁膜4aを介してゲート配線4がパターンニングして形成されている。この

10

ゲート配線4は、例えばポリシリコンからなる。ここで、ゲート配線4の一部を構成し、半導体薄膜3と重なった部分が『ゲート電極』となる。絶縁基板1の上には、TFT2を被覆した状態で第1の層間絶縁膜5が形成されている。第1の層間絶縁膜5は、例えば、窒素がドーピングされたガラスと、ボロンとリンがドーピングされたガラスとの積層体からなる。TFT2のソース領域3aには、第1の層間絶縁膜5に設けられた第1のコンタクトホール6を介してソース配線7が電気的に接続されている。ソース配線7は、例えばアルミニウムからなり、画像信号ラインその他を構成している。一方、TFT2のドレイン領域3bには、第1のコンタクトホール6を介して接続電極16が電気的に接続されている。このように、接続電極16は、その一部がソース配線7と同じ層に設けられている。このため、接続電極16にソース配線7と同一の材料を用いれば、ソース配線7と同一のプロセスで接続電極16を形成することができるので、接続電極16の形成工程を省略することができる。尚、接続電極16の全部をソース配線7と同じ層に設けるようにしてもよい。

【0022】第1の層間絶縁膜5の上には、ソース配線7を被覆するように第2の層間絶縁膜8が成膜されている。第2の層間絶縁膜8は、例えば、プラズマCVD法によって成長させたシリコン酸化膜からなる。接続電極16上の第2の層間絶縁膜8には、第2のコンタクトホール9が設けられており、さらにはシリサイド化合物であるWSiがバリアメタル14として形成されている。また、WSiは第2の層間絶縁膜8の上にTFT2の遮光層15としても形成されている。尚、バリアメタル14、遮光層15の材料としては必ずしもWSi等のシリサイド化合物に限定されるものではなく、例えば、金属窒化物等を用いることもできる。

【0023】さらに、第2の層間絶縁膜8の上には有機膜材料からなる第1の平坦化層10が形成され、この第1の平坦化層10には第2のコンタクトホール9が設けられている。そして、第1の平坦化層10の上には、第1の画素電極12と第2の画素電極13がパターンニングして形成されており、第1の画素電極12はバリアメタル14と接続電極16を介してTFT2のドレイン領域3bに電気的に接続されている。また、第1の画素電極12と第2の画素電極13との間の第2のコンタクトホール9内には有機膜材料からなる第2の平坦化層11が介在している。第1及び第2の平坦化層10、11の有機膜材料としては、例えばアクリル樹脂やポリイミド樹脂を挙げることができるが、本実施の形態においては、所定の粘性を有し凹凸を埋めるのに好適なアクリル樹脂を用いている。マトリクス状に配列された個々の第1の画素電極12は、第2の層間絶縁膜8と第1の平坦化層10に設けられた第2のコンタクトホール9を介して対応するTFT2のドレイン領域3bに電気的に接続され



(7)

11

ている。

【0024】図2に示すように、アクティブマトリクス基板17の対向位置には所定の間隔をおいて石英ガラス等からなる対向基板21が配置されている。対向基板21の内表面には、対向電極23と配向膜24が順に形成されている。また、アクティブマトリクス基板17の表面にも配向膜25が形成されている。そして、アクティブマトリクス基板17と対向基板21との間には液晶42が注入され、これによりアクティブマトリクス型液晶表示装置が構成されている。液晶22の配向制御は、一対の配向膜24、25によって行なわれ、例えばツイストネマティックモードが得られる。

【0025】本アクティブマトリクス型液晶表示装置においては、従来の構造と異なり、画素電極内にはコンタクトホールがなく、配向膜25は極めて平坦な面を有し段差部がないため、一様なラビング処理を行なうことができる。従って、画面全体にわたって均一な配向制御が可能となる。また、画素電極内にはなんら凹凸部分が存在しないため、液晶22は対向電極23と第2の画素電極13との間に作用する垂直方向の電界によって駆動制御され、横方向の電界の影響は小さい。その結果、従来問題となっていたリバースチルトドメインによる表示品位の劣化を有効に改善することができる。また、互いに隣接する画素電極の境界部分については、ソース配線7をブラックマトリクスとして利用することにより、少なくとも部分的に遮蔽することができる。しかし、TFT2部分についてはこの遮光構造を採用することはできない。そこで、TFT2部分を選択的に遮蔽するために、シリサイド化合物又は金属窒化物等からなる遮光層15が用いられている。

【0026】次に、図1に示すアクティブマトリクス基板の製造方法について、図3～図5を参照しながら説明する。

【0027】まず、図3の工程Aにおいて、石英ガラス等からなる絶縁基板1の表面に、減圧CVD(LPCVD)法によってアモルファスシリコンを成膜する。次いで、アモルファスシリコンを固相成長させて大粒径化し、ポリシリコン化する。次いで、このポリシリコンを島状にパターニングして素子領域を形成する。これにより、ポリシリコンからなる半導体薄膜3が得られる。次いで、ポリシリコンからなる半導体薄膜3の表面を熱酸化する(加熱温度:1100℃、加熱時間:23分)。これにより、SiO<sub>2</sub>からなるゲート酸化膜(ゲート絶縁膜)4aが得られる。尚、同時に、ポリシリコンからなる半導体薄膜3をパターニングして保持容量を形成できるようにしておく。

【0028】次に、図3の工程Bにおいて、ゲート酸化膜4aの上に、LPCVD法によってポリシリコンを成膜する。そして、リンドープによってこのポリシリコンの低抵抗化を図った後、所定の形状にパターニングす

12

る。これにより、ゲート配線4と保持容量配線4bが得られる。次いで、Nチャンネル型のTFT2は、LDD(lightly doped drain)構造とするために、セルフアライメントにより、ゲート配線4をマスクとしてポリシリコンからなる半導体薄膜3にドーズ量 $1 \times 10^{13}/\text{cm}^2$ のリンイオンを注入し、さらにLDD領域をマスキングして、半導体薄膜3にドーズ量 $4 \times 10^{15}/\text{cm}^2$ のリンイオンを注入し、半導体薄膜3内にソース領域3aとドレイン領域3bを設ける。

【0029】以上の工程により、絶縁基板1上に複数のNチャンネル型のTFT2がマトリクス状に形成される。尚、Pチャンネル型のTFTを形成する場合には、ボロンイオンが注入される。

【0030】次に、図3の工程Cにおいて、絶縁基板1の表面に、窒素がドーピングされたガラスと、ボロンとリンがドーピングされたガラスとの積層体からなる第1の層間絶縁膜5を常圧CVD(APCVD)法によって堆積する。次いで、この第1の層間絶縁膜5に第1のコンタクトホール6をパターン形成した後、スパッタリングによってアルミニウム(A1)を全面的に成膜する。そして、これを所定の形状にパターニングして、TFT2のソース領域3aに電気的に接続されるソース配線7に加工する。このとき、同時に、接続電極16も形成する。ここで、ソース配線7はゲート配線4と互いに交差させて形成される。

【0031】次に、図3の工程Dにおいて、第1の層間絶縁膜5の上に、プラズマCVD法によってシリコン酸化膜を堆積して第2の層間絶縁膜8を形成し、アルミニウム(A1)からなるソース配線7を完全に被覆する。さらに、接続電極16上の第2の層間絶縁膜8に第2のコンタクトホール9を形成する。

【0032】次に、図3の工程Eにおいて、スパッタリングによってWSiを全面的に成膜する。そして、これを所定の形状にパターニングして、接続電極16に対するバリアメタル14とTFT2に対する遮光層15を形成する。

【0033】次に、図4の工程Fにおいて、第2の層間絶縁膜8の上に、所定の粘性(粘度:30cP)を有する液状のポジ型感光性アクリル樹脂(有機膜)をスピンコーティング法によって塗布して、第2の層間絶縁膜8の表面を平坦化する。次いで、ポジ型感光性アクリル樹脂を、i線ステッパーを用いて露光し、濃度が0.1~0.5mol%のテトラメチルアンモニウムヒドロキサイド現像液を用いたパドル現像法によって現像して、第2のコンタクトホール9を形成する。この第2のコンタクトホール9の底部には、TFT2のドレイン領域3b又は接続電極16が露出している。次いで、基板全面又は少なくとも有効画素電極領域全面を紫外線を用いて露光して、ポジ型感光性アクリル樹脂を透明化する。次いで、加熱処理を施してポジ型感光性アクリル樹脂を硬

(8)

13

化させる。加熱方式としては、ホットプレート方式、クリーンオープン方式のどちらでもよい。ホットプレート方式の場合、加熱温度は220℃、加熱時間は10分であり、クリーンオープン方式の場合、加熱温度は220℃、加熱時間は60分である。これにより、第1の平坦化層10が得られる。第1の平坦化層10の厚さは1.0μm以上であるのが望ましい。第1の平坦化層10の厚さを1.0μm以上に設定すれば、画素電極と各配線（ゲート配線、ソース配線）とを1μm以上オーバーラップさせても、各配線と画素電極との間の容量は十分小さくなり、時定数も小さくなる。従って、容量成分が表示に与えるクロストークなどの影響が低減され、より良好な表示が得られる。但し、第1の平坦化層10の厚さが5.0μm以上になると、膜厚の均一性が悪く、ムラが発生し易くなるため、望ましくない。

【0034】尚、ポジ型感光性アクリル樹脂を露光・現像した後、基板全面又は少なくとも有効画素電極領域全面を紫外線を用いて露光する工程が完了するまで、ポジ型感光性アクリル樹脂の温度を100℃以下に保つことにより、ポジ型感光性アクリル樹脂の透明化を安定に行うことができる。

【0035】また、第2の層間絶縁膜8の上にポジ型感光性アクリル樹脂（有機膜）を塗布する前に、第2の層間絶縁膜8の表面にヘキサメチルジシラザンを塗布することにより、第2の層間絶縁膜8とポジ型感光性アクリル樹脂（有機膜）との密着性を向上させることができる。

【0036】本実施の形態のように、平坦化層をポジ型感光性アクリル樹脂で構成するようにすれば、スピンコーティング法を用いて薄膜を形成することができるので、数μmという膜厚の薄膜を容易に形成することができる。しかも、露光及びアルカリ現像によってパターニングを行うことができるので、生産性の点でも有利である。ここで用いたポジ型感光性アクリル樹脂は塗布前に着色されているものであり、パターニング後に全面露光処理を施すことによって脱色し、透明化することができる。このような脱色処理は、光学的に行うことができるだけでなく、化学的にも行うことができる。

【0037】次に、図4の工程Gにおいて、第1の平坦化層10の上に、スパッタリングによって透明導電膜を成膜して第1の画素電極12を形成する。本実施の形態においては、透明導電膜の材料としてITOが用いられている。透明導電膜の材料としてのITOは第2のコンタクトホール9の内部にも充填され、第1の画素電極12はバリアメタル14と接続電極16とを介してTFT2のドレイン領域3bに電氣的に接続される。

【0038】尚、スパッタリングによって透明導電膜を成膜して第1の画素電極12を形成する前に、RF（高周波）によるAr逆スパッタ処理によって第1の平坦化層10の表面処理を行えば、第1の平坦化層10とその

14

上に成膜される透明導電膜からなる第1の画素電極12との間の密着性が向上し、組立プロセス中の処理に対してより安定なデバイスを実現することができると共に、歩留も向上する。

【0039】また、Ar逆スパッタ処理を行う前に、ポジ型感光性アクリル樹脂（有機膜）を110℃～240℃に加熱すれば、架橋反応によってポジ型感光性アクリル樹脂（有機膜）を硬化させることができる。従って、その後の拡散工程及び組立工程におけるポジ型感光性アクリル樹脂（有機膜）の剥離の発生を防止することができる。また、画素電極の形成等のプロセスによるポジ型感光性アクリル樹脂（有機膜）の劣化を抑制することもできる。

【0040】次に、図4の工程Hにおいて、第1の画素電極12の上に、所定の粘性を有する液状のポジ型感光性アクリル樹脂をスピンコーティング法によって塗布する。次いで、ポジ型感光性アクリル樹脂を、i線ステッパーを用いて露光し、パドル現像法を用いて現像して、不要部分を除去する。これにより、第2のコンタクトホール9の内部にポジ型感光性アクリル樹脂が充填される。次いで、基板全面又は少なくとも有効画素電極領域全面を紫外線を用いて露光して、ポジ型感光性アクリル樹脂を透明化する。次いで、加熱処理を施してポジ型感光性アクリル樹脂を硬化させる。これにより、第2の平坦化層11が得られる。

【0041】尚、この場合にも、ポジ型感光性アクリル樹脂を露光・現像した後、基板全面又は少なくとも有効画素電極領域全面を紫外線を用いて露光する工程が完了するまで、ポジ型感光性アクリル樹脂の温度を100℃以下に保つのが望ましい。

【0042】また、この場合にも、第1の画素電極12の上にポジ型感光性アクリル樹脂（有機膜）を塗布する前に、第1の画素電極12の表面にヘキサメチルジシラザンを塗布するのが望ましい。

【0043】次に、図5の工程Iにおいて、第2の平坦化層11及び第1の画素電極12の上に、スパッタリングによって透明導電膜を成膜して第2の画素電極13を形成する。本実施の形態においては、透明導電膜の材料としてITOが用いられている。

【0044】次に、図5の工程Jにおいて、第1及び第2の画素電極12、13の材料であるITOを所定の形状にパターニングして、画素電極とする。

【0045】ところで、RFによるAr逆スパッタ処理によって第1の平坦化層10の表面処理を行う場合や、スパッタリングによって透明導電膜を成膜して第1及び第2の画素電極12、13を形成する場合に、平坦化層がダメージを受けて絶縁性が低下する場合がある。

【0046】このため、最後に、図5の工程Kにおいて、図5の工程Jにおいて所定の形状にパターニングされた画素電極間の第1の平坦化層10を、酸素プラズマ



(9)

15

を用いたプラズマエッチングによって5~100nmの厚み分だけ除去する。この場合の酸素プラズマエッチングの条件は、300W、800mTorr、400scm、50℃である。

【0047】以上の工程により、画素電極上が完全に平坦化されたアクティブマトリクス基板が得られる。

【0048】以下、本発明における開口率の改善手段について、図6を参照しながら説明する。図6は本発明の一実施の形態におけるブラックマトリクス構造を示す模式的な断面図である。

【0049】まず、理解を容易にするために、従来のブラックマトリクス構造について、図8を参照しながら説明する。図8に示すように、アクティブマトリクス基板51の内表面には、所定の配列ピッチで複数の画素電極52がマトリクス状に形成されている。隣接する画素電極52間にはソース配線53が形成されており、画素電極52とソース配線53との間には所定の間隙が設けられている。従って、画素電極52の寸法は配列ピッチに比べ小さい。また、アクティブマトリクス基板51の対向位置には、液晶54を挟んで対向基板55が配置されている。対向基板55の内表面には対向電極56が形成されている。さらに、対向基板55の内表面には、互いに隣接する画素電極52間に整合するようにブラックマトリクス57がパターン形成されている。アクティブマトリクス基板51と対向基板55とのアライメントマージンを確保するために、ブラックマトリクス57は平面的に見て画素電極52の端部と重なっており、ブラックマトリクス57によって囲まれた開口部の寸法は画素電極52の寸法に比べ小さくなっている。以上の構成により、ブラックマトリクス57によって光の漏れが防止され、コントラストの改善が図られている。しかし、図8から理解されるように、配列ピッチに比べて画素電極52の寸法は小さく、有効画素面積を規定する開口部の寸法はさらに小さくなっている。従って、開口率は比較的小さな値に止まっている。

【0050】これに対し、図6に示す本発明のブラックマトリクス構造においては、アクティブマトリクス基板61の表面凹凸を埋めるように平坦化層68が形成されており、さらにその上にはマトリクス状に所定の配列ピッチで画素電極62が形成されている。また、アクティブマトリクス基板61には、互いに隣接する画素電極62の境界部と整合するようにソース配線63がパターン形成されている。従って、このソース配線63がブラックマトリクスとして機能することとなる。ソース配線63は、平面的に見て、画素電極62の端部と1μm程度配線幅方向に重なっている。従って、画素電極62の寸法は配列ピッチに比べて若干短くなっている。一方、アクティブマトリクス基板61の対向位置に液晶64を挟んで配置された対向基板65にはブラックマトリクスを形成する必要がないため、対向基板65側から見た開口

16

部の寸法は、画素寸法からソース配線63が重複した部分を差し引いたものとなり、配列ピッチに比べて若干小さくなるに過ぎない。従って、従来のブラックマトリクス構造に比べて開口率を相当程度改善することができる。

【0051】尚、ここでは、ソース配線63とブラックマトリクスを兼用しているが、必ずしもこの構成に限定されるものではなく、例えば、互いに隣接する画素電極62の境界部に沿って第2の層間絶縁膜上に遮光用の金属系の膜を配置してもよい。しかし、TF Tの部分については、ソース配線63だけを用いた遮光構造を採用することはできない。そこで、図1に示す構造においては、TF T2を選択的に遮蔽するために、第2の層間絶縁膜8の上にシリサイド化合物層又は金属窒化物層からなる遮光層15が設けられている。

【0052】また、ここでは、平面的に見て、ソース配線63が画素電極62の端部と配線幅方向に重なっている場合を例に挙げて説明しているが、ゲート配線、ソース配線のうち少なくともいずれかが画素電極62と配線幅方向に重ねて設けられていれば、同様の効果が得られる。

【0053】

【発明の効果】以上説明したように、本発明によれば、画素電極上を完全に平坦化することができる。その結果、画素電極上の液晶の配向が段差によって乱れることはないので、液晶を安定に制御することができ、画像を正確に再生することができる。また、マトリクス状の画素電極を被覆するように設けられる配向層が段差部の影響を受けることがないので、リバースチルトドメインを低減させることが可能となる。また、画素電極の周囲に盛り上がった部分が存在しないため、横方向の電界の影響を受けることがなく、液晶のオン/オフ制御を安定に行なうことができる。さらに、平坦化層を利用してアクティブマトリクス基板上にブラックマトリクスパターンを一体的に形成することができるため、貼り合わせのアライメント誤差を考慮する必要がなくなり、上下一對の基板のアライメント精度を緩和することができると共に、従来に比べて画素電極の有効表示部を拡大し開口率の改善を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるアクティブマトリクス基板の基本的な構成を示す概略断面図

【図2】本発明の一実施の形態におけるアクティブマトリクス型液晶表示装置の基本的な構成を示す概略断面図

【図3】本発明の一実施の形態におけるアクティブマトリクス基板の製造方法を示す工程図

【図4】本発明の一実施の形態におけるアクティブマトリクス基板の製造方法を示す工程図

【図5】本発明の一実施の形態におけるアクティブマトリクス基板の製造方法を示す工程図

(10)

17

【図6】本発明の一実施の形態におけるブラックマトリクス構造を示す模式的な断面図

【図7】従来技術におけるアクティブマトリクス型液晶表示装置の一般的な構造を示す概略断面図

【図8】従来技術におけるブラックマトリクス構造を示す模式的な断面図

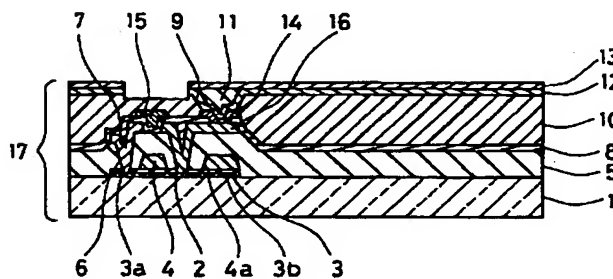
【符号の説明】

- 1 絶縁基板
- 2 薄膜トランジスタ (TFT)
- 3 半導体薄膜
- 4 ゲート配線
- 5 第1の層間絶縁膜

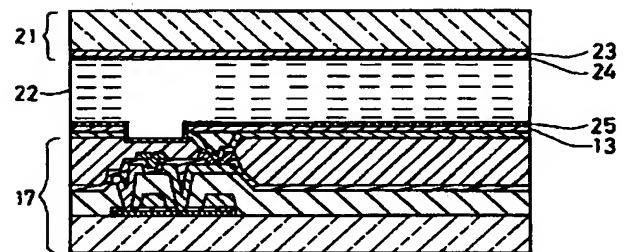
18

- 6 第1のコンタクトホール
- 7 ソース配線
- 8 第2の層間絶縁膜
- 9 第2のコンタクトホール
- 10 第1の平坦化層
- 11 第2の平坦化層
- 12 第1の画素電極
- 13 第2の画素電極
- 14 バリアメタル
- 15 遮光層
- 16 接続電極
- 17 アクティブマトリクス基板

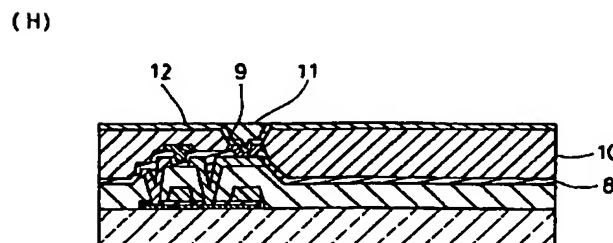
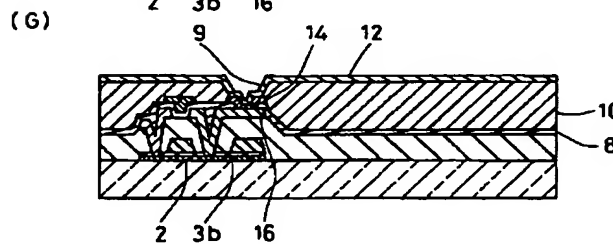
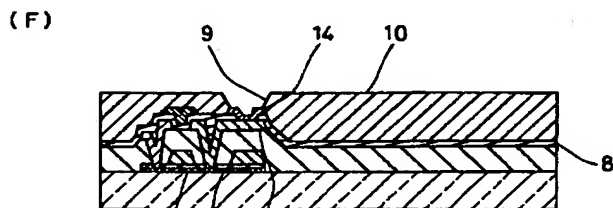
【図1】



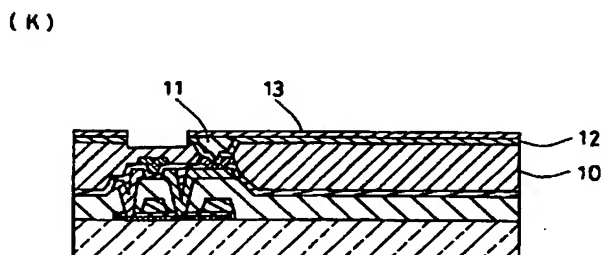
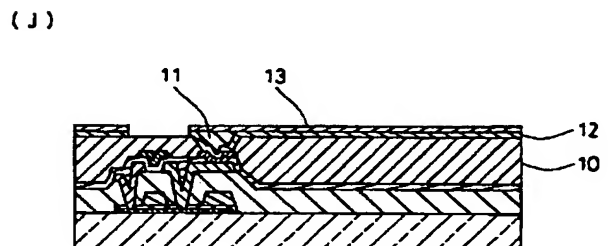
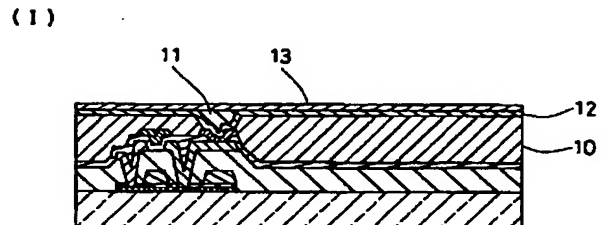
【図2】



【図4】

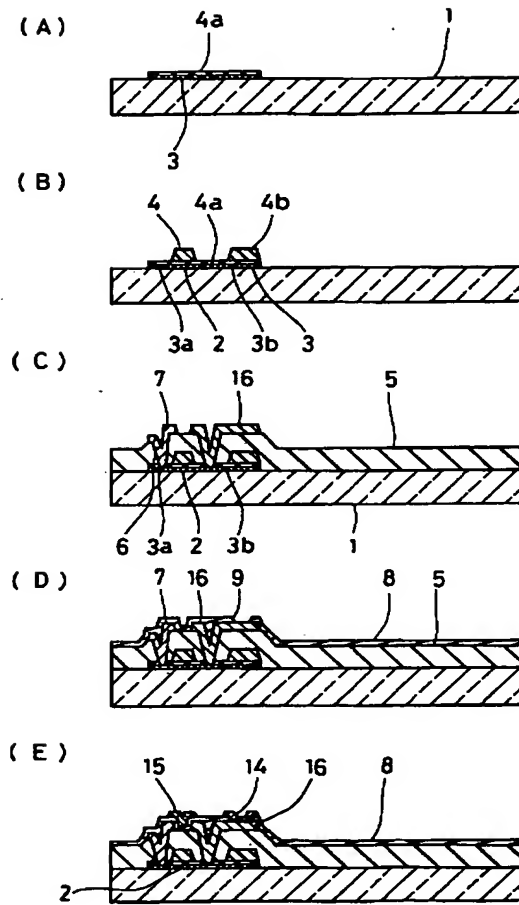


【図5】

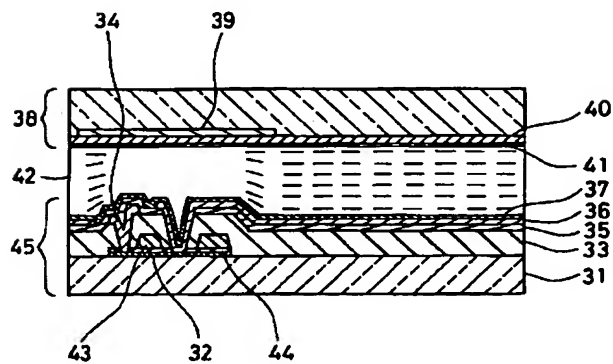


(11)

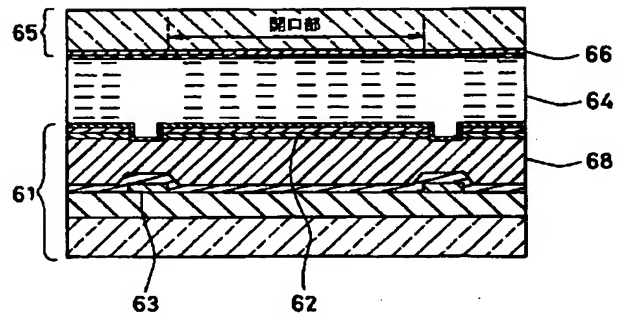
【図3】



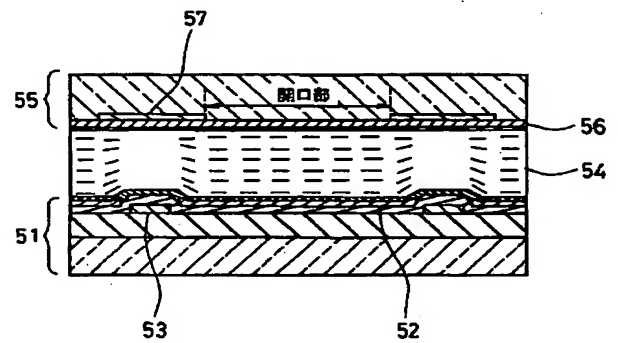
【図7】



【図6】



【図8】



(12)

フロントページの続き

Fターム(参考) 2H092 GA29 HA27 JA24 JA37 JA41  
JA46 JB58 MA05 MA07 MA08  
MA09 MA10 MA12 MA17 MA29  
NA04 NA07 NA18 NA19 NA25  
NA27 NA29  
5C094 AA03 AA05 AA10 AA36 AA43  
AA55 BA03 BA43 CA19 DA13  
DB04 EA04 EA05 EB02 ED14  
ED20 FA01 FA02 FB01 FB02  
FB12 FB15 GB10 JA01 JA08  
JA20